

TANTÁRGYI TEMATIKA ÉS TELJESÍTÉSI KÖVETELMÉNYEK
2021/2022. I. FÉLÉV

<i>Cím</i> Digitális technika 3	
<i>Tárgykód</i>	IVB036MNVM
<i>Heti óraszám: ea/gy/lab</i>	2 ea, 0 gy, 2 lab
<i>Kreditpont</i>	5
<i>Szak(ok)/ típus</i>	Villamosmérnök alapszak(BSc)/K
<i>Tagozat</i>	nappali
<i>Követelmény</i>	vizsga
<i>Meghirdetés féléve</i>	5.
<i>Előzetes követelmény(ek)</i>	Digitális technika 2
<i>Oktató tanszék(ek)</i>	Automatizálási
<i>Tárgyfelelős és oktatók</i>	Megyeri Péter

TANTÁRGY CÉLKITŰZÉSE

A tantárgy megismerteti a hallgatókat a különböző típusú programozható logikai áramkörök (CPLD, FPGA) és a gyakorlatban elterjedten használt SoC eszközök elméletével és gyakorlatával. Megismerik ezen eszközök működését, felépítését és példákon keresztül megismerik ezen eszközök alkalmazási lehetőségeit, valamint az ilyen eszközöket tartalmazó rendszerek tervezésének folyamatát. Megismerik az eszközök konfigurálására használt leíró nyelveket (VHDL, Verilog). Megismerik a kapcsolódásokat más szakterületekhez, alkalmazásokhoz.

TARTALMA

Rövid leírás:

Témakörök:

Előadás:

1. Digitális áramkörök fejlődése, általános célú logikai áramkörök.
2. Programozható logikai áramkörök típusai, csoportosítása.
3. Programozható logikai áramkörök általános tömbvázlata, részegységei.
4. Programozható logikai áramkörök égetése és tesztelése.
5. Makrocella bázisú eszközök: PAL, GAL, HAL, FPLA.
6. Összetett, nagy integráltságú eszközök.
7. CPLD felépítése, működése, jellemzői.
8. FPGA felépítése, működése, jellemzői.

9. Programozható áramkörökben a logikai hálózatok kialakításának módjai.
10. Programozható áramkörök tervezési és kiválasztási szempontjai.
11. Logikai rendszerek, áramkörök tesztelése: Boundary Scan, JTAG.
12. Elemi peremfigyelő cella felépítése, működése.
13. Letapogatósi módok, teszt port (TAP) vezérlő jelei.
14. Boundary Scan áramkörök vezérlése, teszt utasítások.

Gyak/Lab.:

1. A PLD-k szükségessége és szerepe.
2. PLD-k realizálási módjai.
3. Feladat leírás technikák.
4. Rendszertechnikai tulajdonságok.
5. Hardver leíró nyelvek (Verilog, VHDL) alapjai.
6. A Xilinx ISE fejlesztőrendszer felépítése, használata.
7. Kombi náción hálózatok megvalósítása.
8. Egyszerű programozható áramkörök felépítése, használata.
9. Esettanulmány. Sorrendi hálózatok megvalósítása.
10. Állapotgép definíciója, használata, és jelentősége digitális rendszerekben.
11. CPLD-k felépítése, használata.
12. SoC, SoPC rendszerek felépítése, jellemzői, kiválasztási szempontjai.
13. ARM rendszerek bemutatása, alkalmazása, felhasználási lehetőségei.
14. Esettanulmány.

SZÁMONKÉRÉSI ÉS ÉRTÉKELÉSI RENDSZERE

Részvétel:

A gyakorlatokon és előadásokon való részvétel tekintetében a TVSz. megfelelő pontjai az irányadók. Eszerint a hallgató nem szerezheti meg a tárgy kreditpontját, ha a tárgyhoz tartozó foglalkozásokon hiányzása meghaladja a gyakorlatok, illetve előadások összóraszámának 30%-át.

Aláírás / Félévközi jegy feltétele:

A félévközi ellenőrzés formái: zárthelyi dolgozat, házi feladat és projekt. A félév során a hallgatók egy zárthelyi dolgozatot írnak, mely a gyakorlaton kerül megírásra. A zárthelyi témaköre a gyakorlatok és az előadások adott hétig elhangzott anyaga. A zárthelyi dolgozat pontos időpontja a tárgy előadásán kerül meghirdetésre. A projekt témájának illeszkednie kell a tárgy tematikájához, és azt a tantárgy felelős oktatójával előzetesen egyeztetni kell. A házi feladat kiadása a gyakorlaton történik, legkésőbb a 10. hétig bezárólag. Az aláírás megszerzésének feltétele: a zárthelyi dolgozat megírása és értékelhető házi feladat és projekt beadása a szorgalmi időszakban.

Vizsga: írásbeli/szöbéli, eredményes: min.: 51%

Az érdemjegy kialakításának módja:

A dolgozatokon elért teljesítmény értékelése: <50%: elégtelen; 50 – 62,5%: elégséges; 62,5 – 75%: közepes; 75 – 87,5%: jó; >87,5%: jeles. A feladat értékelése érdemjegyekkel

történik. A félévközi teljesítmény a zárthelyi, és a projekt, valamint a házi feladat érdemjegy kétszerezésének egyszerű számtani átlagaként kerül kialakításra.

Az érdemjegy kialakítása a félévközi teljesítmény és a vizsgán elért eredmények egyszerű számtani átlaga.

Pótlási lehetőségek:

Az igazoltan hiányzók a meg nem írt dolgozatokat az utolsó héten pót zárthelyi megírásával, külön egyeztetett, órarenden kívüli időpontban pótolhatják. Az elégtelen dolgozatok ugyanebben a tantárgy felelős oktatójával külön egyeztetett, órarenden kívüli időpontban javíthatók. Javítás esetén az eredmény a javító és a javított zárthelyik számtani átlagából képződik. Az elmulasztott mérési-, szimulációs gyakorlatok nem pótolhatók. A feladat beadása a TVSZ rendelkezéseinek megfelelő különjeljárási díj befizetése ellenében pótolható.

Konzultációs lehetőségek:

A tantárgy felelős oktatójával előre egyeztetett időpontban.

KÖTELEZŐ ÉS AJÁNLOTT IRODALOM

- [1.] Craig Marven, Gillian Ewers: A simple approach to Digital Signal Processing, Texas Instruments, 1994
- [2.] Robert B. Reese, Mitchell A. Thornton: Introduction to Logic Synthesis using Verilog HDL, Morgan & Claypool 2006,
- [3.] Peter. J. Ashenden: The Designer's Guide to VHDL, Morgan Kaufmann Publisher 2008, 3. Edition,
- [4.] VHDL Reference Manual, Synario Design Automation 1997,
- [5.] Richard E. Haskell & Darrin M. Hanna – „Introduction to Digital Design VHDL”, Digilent Inc-LBEBooks, 2009,
- [6.] Peter Wilson: Design Recipes for FPGAs Using Verilog and VHDL, Newnes is an imprint of Elsevier, 2016,
- [7.] Tertulien Ndjountche: Digital Electronics 3 - Finite-state Machines, Wiley, 2016,
- [8.] Blaine Readler: Verilog by Example A Concise Introduction for FPGA Design,
- [9.] Joseph Cavanagh: Verilog HDL Design Examples, Taylor & Francis Group, 2018,
- [10.] <http://www.xilinx.com/tools/webpack.htm>
- [11.] <http://www.xilinx.com/products/silicon-devices/fpga.html>,
- [12.] <http://www.xilinx.com/support/university.html>,
- [13.] Fodor Attila, Vörösházi Zsolt: Beágyazott rendszerek és programozható logikai eszközök, Typotex, 2011
- [14.] Órai előadás jegyzetek, prezentációk

ÜTEMEZÉS

		SZORGALMI IDŐSZAK, OKTATÁSI HETEK															VIZSGAIDŐSZAK						
2021/2022. I. FÉLÉV		1.	2.	3.	4.	5.	6.	7.	8.	9.	10.	11.	12.	13.	14.	15.	1.	2.	3.	4.	5.		
Előadás tematika sorszáma																			Aláírás, félévközi jegy már nem pótolható				
Gyakorlat/Labor sorszáma																							
Zárhelyi dolgozat													X										
Otthoni munka	kiadása									X													
	beadási határidők															X							
Jegyző- könyvek	beadási határidők																						
Egyebek	pl. beszámolók,																						
	stb.																						
Aláírás / Félévközi jegy megadása																a /fj							
Vizsgák tervezett időpontjai																							

2021. szeptember 10.

.....
tantárgyfelelős